



(12)发明专利

(10)授权公告号 CN 106645949 B

(45)授权公告日 2019.05.24

(21)申请号 201610848527.9

(22)申请日 2016.09.26

(65)同一申请的已公布的文献号

申请公布号 CN 106645949 A

(43)申请公布日 2017.05.10

(73)专利权人 武汉大学

地址 430072 湖北省武汉市武昌区珞珈山  
武汉大学

(72)发明人 周立青 田震 占伟杰 项进喜

(74)专利代理机构 武汉科皓知识产权代理事务  
所(特殊普通合伙) 42222

代理人 彭艳君

(51)Int.Cl.

G01R 23/167(2006.01)

(56)对比文件

CN 204761450 U,2015.11.11,

CN 204761450 U,2015.11.11,

CN 204362031 U,2015.05.27,

CN 101308175 A,2008.11.19,

CN 102073055 A,2011.05.25,

CN 102759658 A,2012.10.31,

CN 103134984 A,2013.06.05,

JP 2008309682 A,2008.12.25,

US 5038096 A,1991.08.06,

CN 204190770 U,2015.03.04,

CN 105044461 A,2015.11.11,

杨宇卓等.基于FPGA的简易频谱分析仪.

《软件导刊》.2007,第44-46页.

曾攀等.基于FPGA的频谱分析仪的设计与  
实现.《现代电子技术》.2013,第36卷(第7期),第  
60-63页.

审查员 宋婉甜

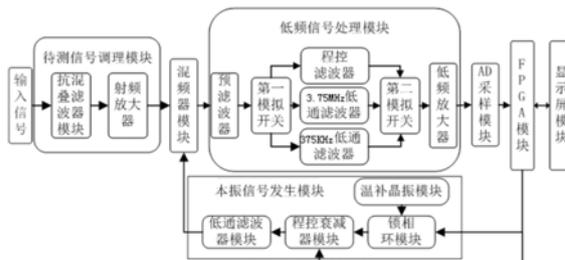
权利要求书2页 说明书9页 附图7页

(54)发明名称

一种基于低频检波的外差扫频式频谱分析  
仪

(57)摘要

本发明涉及频谱分析仪技术领域,具体涉及  
一种基于低频检波的外差扫频式频谱分析仪,包  
括待测信号调理模块、混频器模块、本振信号发  
生模块、低频信号处理模块、AD采样模块、FPGA  
模块和显示屏模块;混频器模块的两个输入分别  
与待测信号调理模块和本振信号发生模块相连,  
混频器模块的输出与低频信号处理模块的输入  
相连,低频信号处理模块的输出与AD采样模块  
的输入相连,FPGA模块分别与本振信号发生模  
块、AD采样模块和显示屏模块相连。该频谱分  
析仪实现了任意频谱的精确测量,不仅具有超  
外差频谱仪适用范围广的特点,而且还简化了  
系统复杂程度,提高了系统的测量精度,避免  
了中频检波采用带通滤波器带来的镜频干扰  
问题。



1. 一种基于低频检波的外差扫频式频谱分析仪,其特征在于,包括待测信号调理模块、混频器模块、本振信号发生模块、低频信号处理模块、AD采样模块、FPGA模块和显示屏模块;混频器模块的两个输入分别与待测信号调理模块和本振信号发生模块相连,混频器模块的输出与低频信号处理模块的输入相连,低频信号处理模块的输出与AD采样模块的输入相连,FPGA模块分别与本振信号发生模块、AD采样模块和显示屏模块相连;

所述待测信号调理模块包括BNC接头、抗混叠滤波器模块和射频放大器;输入信号通过BNC接头接入,BNC接头输出与抗混叠滤波器模块的输入相连,抗混叠滤波器模块的输出与射频放大器的输入相连;

混频器模块采用ADI 500MHz信号带宽的四象限乘法器AD834;乘法器的输入与射频放大器的输出相连;

所述本振信号发生模块包括温补晶振模块、锁相环模块、程控衰减器模块和低通滤波器模块;温补晶振模块与锁相环模块参考端相连,锁相环模块输出与程控衰减器模块的输入相连,程控衰减器模块的输出与低通滤波器模块输入相连;低通滤波器模块输出与乘法器输入相连;

低频信号处理模块包括预滤波器、第一模拟开关、程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器、第二模拟开关和低频放大器;预滤波器的输入与乘法器输出相连,预滤波器输出与第一模拟开关的输入相连;第一模拟开关的三个输出分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的三个输入分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的输出与低频放大器输入相连。

2. 如权利要求1所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,AD采样模块包括全差分放大器模块和AD转换器模块;全差分放大器模块的输入与低频放大器模块输出相连;全差分放大器模块的输出与AD转换器模块输入相连;全差分放大器模块采用TI的高速全差分放大器THS4151;AD转换器模块采用TI 20MSPS采样率的12位AD转换器ADS805。

3. 如权利要求2所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,FPGA模块采用FPGA处理器,选用ALTERA公司的EP4CE40F23C8芯片,片内嵌入了NIOSE II嵌入式处理器;FPGA处理器输入与AD转换器模块输出相连;FPGA处理器输出分别与锁相环模块和程控衰减器模块相连。

4. 如权利要求3所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,显示屏模块采用TFTLCD电容式触摸屏,分辨率为800\*480;电容式触摸屏与FPGA处理器相连。

5. 如权利要求1所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,抗混叠滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz;射频放大器采用ADI高性能宽带放大器AD8009。

6. 如权利要求1所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,温补晶振模块采用正弦输出,频率稳定度为1ppm的温补晶振;锁相环模块采用ADI高性能小数分频锁相环ADF4351;程控衰减器模块采用衰减倍数0dB~-40dB可调的程控衰减器DAT-31R5-SP+;低通滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz。

7. 如权利要求1所述的基于低频检波的外差扫频式频谱分析仪,其特征在于,预滤波器采用7阶巴特沃斯低通滤波器,截止频率为10MHz;第一模拟开关采用TI高速模拟开关

TS3A4751;3.75MHz低通滤波器、375kHz低通滤波器均采用7阶巴特沃斯滤波器;程控滤波器采用LINEAR公司的开关电容程控滤波器LTC1068;第二模拟开关采用TI高速模拟开关TS3A4751;低频放大器采用TI的高速放大器OPA690。

## 一种基于低频检波的外差扫频式频谱分析仪

### 技术领域

[0001] 本发明属于频谱分析仪技术领域,尤其涉及一种基于低频检波的外差扫频式频谱分析仪。

### 背景技术

[0002] 频谱分析仪是分析电信号频域特性的有效工具。通过对信号进行频域分析,可以获得被测信号的频率、功率、谐波、杂波、噪声、干扰、失真等信息,可以测量放大器和滤波器电路系统的某些参数,是一种多用途的电子测量仪器,又可以称之为频域示波器。

[0003] 频谱分析仪可分为数字式频谱分析仪和模拟式频谱分析仪。

[0004] 数字式频谱分析仪可分为数字滤波法和FFT法。数字滤波法将待测信号采样后直接通过一组中心频率不同的数字滤波器,检测滤波器输出信号的大小获得信号的频谱分布,该方法滤波特性好,可靠性高,但是数据处理速度较慢,实时性不好。FFT分析法也叫快速傅里叶变换法,把信号采样后按快速傅里叶变换的计算方法求出频谱,但是该方法实时性不强,对处理器的要求非常高,同时很难实现高频信号的分析。数字式频谱仪精度高、性能灵活,但是受到数字系统工作频率的限制。目前单纯数字式的频谱分析仪一般适用于低频段实时分析,尚达不到宽频带高精度频谱分析的效果。

[0005] 模拟式频谱分析仪也可以采用模拟滤波法或者外差法。模拟滤波法将待测信号输入到一组模拟的带通滤波器(BPF),检测每个滤波器的输出信号大小,即可获得个频段的能量值,该方法能够把各频谱分量实时检测出来,但是电路非常复杂,不适合实际工程中应用。目前大量使用的是外差式频谱分析仪。一般的超外差式频谱分析仪主要包括射频输入衰减器、预选器、混频器、中频放大器、中频滤波器、检波器、射频放大器、本振、扫描发生器、显示器以及MCU。

[0006] 目前,市场上的超外差频谱分析仪仍存在一些问题。市面上的频谱分析仪均采用带通滤波器,在高频范围进行检波,其检波精度受到检波器的精度和稳定性的制约。采用带通滤波还会存在镜频干扰。为了避免镜频干扰,往往要求频谱仪的本振频率的动态范围是信号测量范围的两倍,使得系统变得复杂,导致价格昂贵、携带不便、结构复杂、专用性差等问题。

### 发明内容

[0007] 本发明的目的是提出一种基于ADF4351锁相环,采用低频检波和二次步进扫频方案的外差式频谱分析仪,不仅提高了频谱分析仪的响应速度,还改善了频谱分析仪的性能,同时降低了成本,简化了复杂系统。

[0008] 为实现上述目的,本发明采用的技术方案是:一种基于低频检波的外差扫频式频谱分析仪,包括待测信号调理模块、混频器模块、本振信号发生模块、低频信号处理模块、AD采样模块、FPGA模块和显示屏模块;混频器模块的两个输入分别与待测信号调理模块和本振信号发生模块相连,混频器模块的输出与低频信号处理模块的输入相连,低频信号处理

模块的输出与AD采样模块的输入相连,FPGA模块分别与本振信号发生模块、AD采样模块和显示屏模块相连。

[0009] 在上述的基于低频检波的外差扫频式频谱分析仪中,所述待测信号调理模块包括BNC接头、抗混叠滤波器模块和射频放大器;输入信号通过BNC接头接入,BNC接头输出与抗混叠滤波器模块的输入相连,抗混叠滤波器模块的输出与射频放大器的输入相连。

[0010] 在上述的基于低频检波的外差扫频式频谱分析仪中,混频器模块采用ADI500MHz信号带宽的四象限乘法器AD834;乘法器的输入与射频放大器的输出相连。

[0011] 在上述的基于低频检波的外差扫频式频谱分析仪中,所述本振信号发生模块包括温补晶振模块、锁相环模块、程控衰减器模块和低通滤波器模块;温补晶振模块与锁相环模块参考端相连,锁相环模块输出与程控衰减器模块的输入相连,程控衰减器模块的输出与低通滤波器模块输入相连;低通滤波器模块输出与乘法器输入相连。

[0012] 在上述的基于低频检波的外差扫频式频谱分析仪中,低频信号处理模块包括预滤波器、第一模拟开关、程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器、第二模拟开关和低频放大器;预滤波器的输入与乘法器输出相连,预滤波器输出与第一模拟开关的输入相连;第一模拟开关的三个输出分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的三个输入分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的输出与低频放大器输入相连。

[0013] 在上述的基于低频检波的外差扫频式频谱分析仪中,AD采样模块包括全差分放大器模块和AD转换器模块;全差分放大器模块的输入与低频放大器模块输出相连;全差分放大器模块的输出与AD转换器模块输入相连;全差分放大器模块采用TI的高速全差分放大器THS4151;AD转换器模块采用TI 20MSPS采样率的12位AD转换器ADS805。

[0014] 在上述的基于低频检波的外差扫频式频谱分析仪中,FPGA模块采用FPGA处理器,选用ALTERA公司的EP4CE40F23C8芯片,片内嵌入了NIOS II 嵌入式处理器;FPGA处理器输入与AD转换器模块输出相连;FPGA处理器输出分别与锁相环模块和程控衰减器模块相连。

[0015] 在上述的基于低频检波的外差扫频式频谱分析仪中,显示屏模块采用TFTLCD电容式触摸屏,分辨率为800\*480;电容式触摸屏与FPGA处理器相连。

[0016] 在上述的基于低频检波的外差扫频式频谱分析仪中,抗混叠滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz;射频放大器采用ADI高性能宽带放大器AD8009。

[0017] 在上述的基于低频检波的外差扫频式频谱分析仪中,温补晶振模块采用正弦输出,频率稳定度为1ppm的温补晶振;锁相环模块采用ADI高性能小数分频锁相环ADF4351;程控衰减器模块采用衰减倍数0dB~-40dB可调的程控衰减器DAT-31R5-SP+;低通滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz。

[0018] 在上述的基于低频检波的外差扫频式频谱分析仪中,预滤波器采用7阶巴特沃斯低通滤波器,截止频率为10MHz;第一模拟开关采用TI高速模拟开关TS3A4751;3.75MHz低通滤波器、375kHz低通滤波器均采用7阶巴特沃斯滤波器;程控滤波器采用LINEAR公司的开关电容程控滤波器LTC1068;第二模拟开关采用TI高速模拟开关TS3A4751;低频放大器采用TI的高速放大器OPA690。

[0019] 本发明基于外差扫频原理,是以NIOS II 嵌入式处理器为控制核心,以ADF4351为本振源,采用低频检波方案,通过二次扫描步进的方法,实现了50MHz~500MHz信号的频谱分

析,频率分辨率可以为设置为10MHz,1MHz,100kHz,同时为了精确定位信号频谱,100kHz以下的分辨率可以任意设置。并且可以根据用户需求,预置分析的中心频率和带宽。也能够准确识别小于主谱线40dB的杂散频率。以FPGA模块为时序控制核心,能够保证外差步进扫频、双频数字检波的时序准确可靠;合理设置扫频步进方案,选择高性能的器件,采用滤波、去耦、噪声隔离、电磁屏蔽等技术,提高了本发明频谱分析仪的采样精度和可靠性。在复杂的室外条件下测试了本发明频谱分析仪的性能,测试结果表明,频谱分析仪能够快速定位信号的频谱范围,并且能够精确获得信号的频谱位置与幅度,其响应频率高于1kHz,频率定位精度低于10Hz,幅度测量精度高于4mV,并且能够正确识别杂散频率个数,系统工作稳定,人机交互界面友好。

[0020] 本发明的有益效果是:采用ADF4351锁相环,基于两次步进的方法,实现了任意频谱的精确测量。不仅具有超外差频谱仪适用范围广的特点,而且还简化了系统复杂程度,提高了系统的测量精度,避免了中频检波采用带通滤波器带来的镜频干扰问题,降低了系统的复杂程度,同时还降低了系统对本振信号频率范围的要求。打破了本领域的很多技术瓶颈,改善了频谱分析仪的性能,降低了成本。

## 附图说明

- [0021] 图1为超外差频谱仪结构框图;
- [0022] 图2为本发明一个实施例基于低频检波的外差扫频式频谱分析仪结构框图;
- [0023] 图3为本发明一个实施例的扫频步进示意图;
- [0024] 图4为本发明一个实施例的待测信号调理电路图;
- [0025] 图5为本发明一个实施例的温补晶振电路图;
- [0026] 图6为本发明一个实施例的ADF4351锁相环电路图;
- [0027] 图7为本发明一个实施例的DAT-31R5-SP+衰减器电路图;
- [0028] 图8为本发明一个实施例的500MHz低通滤波器电路图;
- [0029] 图9为本发明一个实施例的乘法器电路图;
- [0030] 图10为本发明一个实施例的1路分3路模拟开关电路图;
- [0031] 图11为本发明一个实施例的LTC1068程控滤波器电路图;
- [0032] 图12为本发明一个实施例的3.75MHz低通滤波器电路图;
- [0033] 图13为本发明一个实施例的375KHz低通滤波器电路图;
- [0034] 图14为本发明一个实施例的3路和1路模拟开关电路图;
- [0035] 图15为本发明一个实施例的低频放大器电路图;
- [0036] 图16为本发明一个实施例的AD采样模块电路图;
- [0037] 图17为本发明一个实施例的频谱分析图。

## 具体实施方式

[0038] 下面结合附图对本发明的实施方式进行详细描述。

[0039] 所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0040] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。此外,本发明提供了各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其它工艺的可应用性和/或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0041] 本发明的描述中,需要说明的是,除非另有规定和限定,术语“相连”“连接”应做广义理解,例如,可以是机械连接或电连接,也可以是两个元件内部的连通,可以是直接相连,也可以通过中间媒介间接相连,对于相领域的普通技术人员而言,可以根据具体情况理解上述术语的具体含义。

[0042] 本实施例的采用如下技术方案:一种基于低频检波的外差扫频式频谱分析仪,包括待测信号调理模块、混频器模块、本振信号发生模块、低频信号处理模块、AD采样模块、FPGA模块和显示屏模块;混频器模块的两个输入分别与待测信号调理模块和本振信号发生模块相连,混频器模块的输出与低频信号处理模块的输入相连,低频信号处理模块的输出与AD采样模块的输入相连,FPGA模块分别与本振信号发生模块、AD采样模块和显示屏模块相连。

[0043] 进一步,所述待测信号调理模块包括BNC接头、抗混叠滤波器模块和射频放大器;输入信号通过BNC接头接入,BNC接头输出与抗混叠滤波器模块的输入相连,抗混叠滤波器模块的输出与射频放大器的输入相连。

[0044] 进一步,混频器模块采用ADI 500MHz信号带宽的四象限乘法器AD834;乘法器的输入与射频放大器的输出相连。

[0045] 进一步,所述本振信号发生模块包括温补晶振模块、锁相环模块、程控衰减器模块和低通滤波器模块;温补晶振模块与锁相环模块参考端相连,锁相环模块输出与程控衰减器模块的输入相连,程控衰减器模块的输出与低通滤波器模块输入相连;低通滤波器模块输出与乘法器输入相连。

[0046] 进一步,低频信号处理模块包括预滤波器、第一模拟开关、程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器、第二模拟开关和低频放大器;预滤波器的输入与乘法器输出相连,预滤波器输出与第一模拟开关的输入相连;第一模拟开关的三个输出分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的三个输入分别与程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器相连;第二模拟开关的输出与低频放大器输入相连。

[0047] 进一步,AD采样模块包括全差分放大器模块和AD转换器模块;全差分放大器模块的输入与低频放大器模块输出相连;全差分放大器模块的输出与AD转换器模块输入相连;全差分放大器模块采用TI的高速全差分放大器THS4151;AD转换器模块采用TI 20MSPS采样率的12位AD转换器ADS805。

[0048] 进一步,FPGA模块采用FPGA处理器,选用ALTERA公司的EP4CE40F23C8芯片,片内嵌入了NIO II 嵌入式处理器;FPGA处理器输入与AD转换器模块输出相连;FPGA处理器输出分

别与锁相环模块和程控衰减器模块相连。

[0049] 进一步,显示屏模块采用TFTLCD电容式触摸屏,分辨率为800\*480;电容式触摸屏与FPGA处理器相连。

[0050] 进一步,抗混叠滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz;射频放大器采用ADI高性能宽带放大器AD8009。

[0051] 进一步,温补晶振模块采用正弦输出,频率稳定度为1ppm的温补晶振;锁相环模块采用ADI高性能小数分频锁相环ADF4351;程控衰减器模块采用衰减倍数0dB~-40dB可调的程控衰减器DAT-31R5-SP+;低通滤波器模块采用7阶巴特沃斯低通滤波器,截止频率为500MHz。

[0052] 更进一步,预滤波器采用7阶巴特沃斯低通滤波器,截止频率为10MHz;第一模拟开关采用TI高速模拟开关TS3A4751;3.75MHz低通滤波器、375kHz低通滤波器均采用7阶巴特沃斯滤波器;程控滤波器采用LINEAR公司的开关电容程控滤波器LTC1068;第二模拟开关采用TI高速模拟开关TS3A4751;低频放大器采用TI的高速放大器OPA690。

[0053] 本实施例保留了现有超外差频谱仪宽动态范围的特点,同时改用低频检波,扫频巧妙地运用两次步进,克服了低频检波速度慢的缺点。为了提高检波精度,采用双频检波代替单频检波,最终实现了宽动态范围,高精度,快速的频谱分析。

[0054] 其中,待测信号调理模块用于频谱分析仪的待测信号处理,实现待测信号滤波和放大的功能。BNC接头用于接收输入信号,抗混叠滤波器模块用于限制待测信号的带宽、滤除信号噪声、实现抗混叠,射频放大器用于待测信号放大。输入信号通过BNC头接入到系统,BNC接头输出与抗混叠滤波器模块的输入相连,抗混叠滤波器模块的输出与射频放大器的输入相连。

[0055] 其中,本振信号发生模块用于本振的产生、增益控制与滤波。温补晶振模块用于产生参考信号,锁相环模块用于射频本振信号发生,程控衰减器模块用于信号衰减,低通滤波器模块用于滤除本振信号谐波与干扰信号。温补晶振与锁相环模块的参考端相连,锁相环模块的输出与程控衰减器模块的输入相连,程控衰减器的输出与低通滤波器模块的输入相连。

[0056] 其中,混频器模块用于信号的下变频,由乘法器模块单独组成;其两个输入分别与待测信号调理模块、本振信号发生模块的输出相连;输出与低频信号处理模块相连。

[0057] 其中,低频信号处理模块用于低频信号的滤波与放大。预滤波器用于信号预滤波,第一模拟开关用于一路信号分为三路信号,3.75MHz低通滤波器、375kHz低通滤波器和程控滤波器模块用于和频信号滤除,第二模拟开关用于三路信号合为一路信号,低频放大器用于低频信号放大。预滤波器与第一模拟开关的输入相连,第一模拟开关的三个输出与3.75MHz低通滤波器、375kHz低通滤波器和程控滤波器的输入相连,3.75MHz低通滤波器、375kHz低通滤波器和程控滤波器的输出与第二模拟开关的输入相连,第二模拟开关的输出与低频放大器输入相连,低频放大器输出与AD采样模块的输入相连。

[0058] 其中,AD采样模块用于双频数字采样。全差分放大器模块用于增加AD转换器的动态范围,全差分放大器模块的输出与AD转换器模块相连。

[0059] 其中,FPGA模块用于系统的控制与信号的处理,由FPGA处理器模块组成。FPGA模块与ADF4351锁相环模块、程控衰减器模块、AD转换器模块相连。

- [0060] 其中,显示屏模块用于频谱的显示与人机交互,由TFTLCD电容式触摸屏模块组成。
- [0061] 而且,待测信号调理模块的抗混叠滤波器模块是采用7阶巴特沃斯低通滤波器,其截止频率为500MHz;射频放大器是采用ADI高性能宽带放大器AD8009实现的。
- [0062] 而且,本振信号产生模块的温补晶振模块是采用正弦输出的,频率稳定度为1ppm的温补晶振;锁相环模块是采用ADI高性能小数分频锁相环ADF4351;程控衰减器模块是采用衰减倍数0dB~-40dB可调的程控衰减器DAT-31R5-SP+实现的;低通滤波器模块是7阶巴特沃斯低通滤波器,其截止频率为500MHz。
- [0063] 而且,混频器模块是采用ADI 500MHz信号带宽的四象限乘法器AD834实现的。
- [0064] 而且,低频信号处理模块的预滤波器是采用7阶巴特沃斯低通滤波器,其截止频率为10MHz;第一模拟开关是采用TI高速模拟开关TS3A4751;截止频率不同的低通滤波器模块由3.75MHz低通滤波器、375kHz低通滤波器和程控滤波器组成,其中3.75MHz低通滤波器、375kHz低通滤波器是采用7阶巴特沃斯滤波器,程控滤波器采用LINEAR公司的开关电容程控滤波器LTC1068实现;第二模拟开关是采用TI高速模拟开关TS3A4751;低频放大器是采用TI的高速放大器OPA690实现的。
- [0065] 而且,AD采样模块的全差分放大器模块是采用TI的高速全差分放大器THS4151实现的;AD转换器模块是采用TI 20MSPS采样率的12位AD转换器ADS805实现的。
- [0066] 而且,FPGA模块是采用ALTERA公司的EP4CE40F23C8芯片,片内嵌入了NIOS II 嵌入式处理器。
- [0067] 而且,显示屏模块采用TFTLCD电容式触摸屏,分辨率为800\*480。
- [0068] 如图1所示,传统的超外差频谱分析仪,主要包括预选器、本振信号发生器、混频器、放大器、滤波器、检波器、FPGA控制电路以及TFT显示屏。本实施例的频谱分析仪结合传统的频谱分析仪,采用了包括用于待测信号预选、放大、滤波的待测信号调理模块,用于本振信号产生、衰减、滤波的本振信号发生模块,用于下变频的混频器模块,用于低频信号滤波、放大的低频信号处理模块,用于双频检波的AD采样模块,用于信号处理的FPGA模块以及用于频谱显示的显示屏模块。如图2所示。待测信号调理模块与混频器模块的一个输入相连,本振信号发生模块与混频器模块的另一个输入相连,混频器模块输出与低频信号处理模块输入相连,低频信号处理模块输出与AD采样模块输入相连,FPGA模块同时与本振信号发生模块、AD采样模块、显示屏模块相连。
- [0069] 在本实施例的频谱分析仪中,采用的主控芯片是FPGA,FPGA芯片选ALTERA公司的EP4CE40F23C8,该芯片具有丰富的逻辑资源并且内嵌NIOS II 嵌入式处理器,能够实现复杂的算法。通过FPGA,实现了锁相环芯片的控制、本振信号的幅度控制、测量分辨率的选择、LTC1068截止频率的设置、AD采样、数据处理以及控制显示屏显示频谱等其他信息。采用TFTLCD电容式触摸屏,并由FPGA电路驱动显示。显示屏显示的内容包括:频谱图,扫描的中心频率,扫描的带宽,频率分辨率,杂散频率,杂散个数。
- [0070] 在本实施例的频谱分析仪中,采用低频检波方案,即系统在混频器模块之后,直接采用低频滤波器提取差频信号,再通过AD转换器双频检波实现低频信号的幅度检测。传统的中频检波方案采用带通滤波器提取差频信号,采用高速AD或者检波芯片配合低速AD采集差频信号的幅度信息。相比较而言,本实施例的频谱分析仪一方面避免了中频检波采用带通滤波器带来的镜频干扰问题,并且降低了系统的复杂程度,同时还降低了系统对本振信

号频率范围的要求。

[0071] 在低频检波时,为了检测一个信号的峰值必须采样一个完整的周期,如果混频器模块输出刚好接近零频附近的时候,系统检测出差频信号的峰值需要很长时间,所以本实施例的频谱分析仪采用了两次步进的方法。如图3所示,其扫频步进原理分析如下,假设待测为单频信号 $f_x$ ,本振信号 $f_L$ ,经过混频器模块之后,得到两个频率分量: $f_x+f_L$ 和 $|f_x-f_L|$ 。如果此时本振信号和待测信号的差频 $|f_x-f_L|$ 在频谱分析仪的测量分辨率之内,那么 $|f_x-f_L|$ 就可以通过低通滤波器,检波器在该频点测得一个幅值。为了避免检测零频,采用了两次步进的方法。以10kHz的分辨率为例,扫频时控制ADF4351锁相环先步进7.5kHz,如图3(a)所示,再步进2.5kHz,如图3(b)所示,两次步进检测器检测到的最大值就是该频点的峰值。此时程控滤波器的截止频率是3.75kHz。本实施例的分辨率可选10MHz,1MHz、100kHz以及100kHz以下任意频率四种模式。具体实施的步进扫频方案是:当分辨率10MHz,模拟开关选择的截止频率为3.75MHz的7阶巴特沃斯低通滤波器,分作7.5MHz和2.5MHz两次步进;当分辨率1MHz,模拟开关选中的截止频率为375kHz的7阶巴特沃斯低通滤波器,分作750kHz和250kHz两次步进;当分辨率100kHz,模拟开关选择程控滤波器LTC1068,设置滤波器截止频率为37.5kHz,分作75kHz和25kHz两次步进。当信号频谱精确定位时,设置分辨率为100kHz以下,模拟开关仍然选择程控滤波器LTC1068,同时根据具体分辨率设置滤波器截止频率与扫描频率。通过该方案,实现了频谱分析仪10MHz、1MHz、100kHz以及100kHz以下任意分辨率的设置,同时能够快速锁定频谱,提高了系统的响应速度。

[0072] 如图4所示,本实施例的待测信号调理电路主要包括500MHz低通滤波器的抗混叠滤波器模块以及射频放大器;通过BNC接头把输入信号接入到500MHz低通滤波器的输入,经过500MHz低通滤波器滤波选频之后进入射频放大器放大,实现输入信号的滤波选频与放大器。500MHz低通滤波器的抗混叠滤波器模块是7阶无源巴特沃斯低通滤波器,电感L1、L2、L3采用COILCRAFT公司的高频绕线电感,电容C1、C2、C3、C4采用村田公司的高精度贴片电容,500MHz低通滤波器的截止频率是500MHz,滤除高频噪声,并保证500MHz以下的测量范围内的被测信号不衰减。射频放大器采用ADI公司的宽带放大器AD8009实现,采用电阻R1和R69配置放大器的放大倍数为2倍。

[0073] 如图5、6、7、8所示,本振信号发生模块用于本振的产生、衰减与滤波,主要包括温补晶振模块、ADF4351锁相环模块、程控衰减器模块、低通滤波器模块;通过FPGA配置锁相环芯片,基于温补晶振模块产生的参考时钟,获得本振信号,本振信号通过程控衰减器DAT-31R5-SP+控制幅度,最后通过500MHz低通滤波器模块滤除本振信号的噪声,实现本振信号的产生、幅度控制与滤波。

[0074] 如图5所示,锁相环参考时钟采用1ppm频率稳定度的温补晶振,该温补晶振生产稳定的10MHz正弦参考时钟,供给锁相环。

[0075] 如图6所示,锁相环采用ADI高性能小数分频的锁相环时钟发生器ADF4351,其中用R39、R42、C11、C12、C13配置了锁相环的环路滤波器,用来获得锁相环内部VCO的控制电压。锁相环的输出通过0.1uF的电容C8输入到程控衰减器。

[0076] 如图7所示,为了扩展系统测量信号的幅度范围,系统采用了程控衰减器,对本振信号的幅度进行控制,程控衰减器采用DAT-31R5-SP+,该芯片能够通过程控实现0~-40dB的衰减,FPGA模块的控制信号通过电阻R34、R38、R40接入。程控衰减器的输出信号通过

0.1 $\mu$ F电容C10接入低通滤波器模块。

[0077] 如图8所示,低通滤波器模块是截止频率为500MHz的7阶巴特沃斯无源滤波器,其中电感L8、L9、L10采用COILCRAFT公司的高频绕线电感,电容C28、C29、C30、C31采用村田公司的高精度贴片电容,低通滤波器模块滤除本振信号的谐波与高频噪声。

[0078] 如图9所示,本实施例的混频器模块是采用ADI四象限电流输出型乘法器AD834实现的,混频器模块输入Y1接本振信号发生模块,Y2接待测信号调理模块的输出。其中R43实现了输入阻抗匹配,R48实现了输出阻抗匹配和电流电压转换。混频器模块输出电流大小为

$$W1 = \frac{X_1 Y_1}{(1V)^2} \times 4mA。$$

[0079] 如图10、11、12、13、14、15、16所示,低频信号处理模块主要包括预滤波器模块、1路分3路的第一模拟开关、LTC1068程控滤波器、3.75MHz低通滤波器、375kHz低通滤波器、3路合1路的第二模拟开关以及低频放大器组成;混频器模块输出先通过预滤波滤除高频的和频分量、交调干扰、宽带噪声后,接入1路分3路第一模拟开关,实现滤波器选择,三路滤波器的输出分别连接到3路合1路的第二模拟开关的三个输入,第二模拟开关的输出接到低频放大器实现信号的放大。低频信号处理模块实现了差频信号的提取、滤波器的选通与差频信号的放大。

[0080] 如图10所示,预滤波器是采用7阶巴特沃斯无源滤波器,截止频率为10MHz,通过该滤波器,实现了高频信号的滤除,使后续电路中的信号都是10MHz以下,从而简化了系统的复杂程度,提高了系统的稳定性与测量精度。

[0081] 如图11和图15所示,1路分3路第一模拟开关采用TI的高速模拟开关TS3A4751,其选通信号连接到FPGA,供电采用正负1.8V,三个滤波器模块连接到两个模拟开关之间,实现滤波器的选通。

[0082] 如图12所示,程控滤波器模块是采用开关电容滤波器LTC1068实现的,该芯片内部集成2个两阶状态变量滤波器,通过级联实现一个8阶滤波器。通过外围电阻的配置,把LTC1068配置为8阶巴特沃斯低通滤波器,滤波器的截止频率由21号引脚的频率决定,是该频率的1/25,其中21号引脚的信号由FPGA提供。

[0083] 如图13和图14所示,3.75MHz低通滤波器和375kHz低通滤波器是7阶巴特沃斯无源滤波器。低频放大器采用TI的高速运放OPA690实现,通过电阻R47和R46,把运放配置为2倍放大。

[0084] 而且,低频信号处理模块的10MHz滤波器、3.75MHz滤波器、375kHz滤波器中的电感L5、L6、L7、L11、L12、L13、L14、L15、L163均采用COILCRAFT公司的高频绕线电感,电容C32、C33、C34、C35、C39、C40、C41、C42、C43、C44、C45、C46采用村田公司的高精度贴片电容。

[0085] 本实施例的检波器采用双频数字检波的方法,因此采用了两路外部参数完全相同的AD采样电路,如图17所示。为了提高AD转换器的动态范围和其他性能指标,采用了TI高速全差分放大器THS4151实现单端信号转差分信号,通过电阻R53、R55、R56、R57实现50欧的输入阻抗匹配,同时配合R60、R62、R65实现了差分信号的平衡。R58、C25以及R61、C26分别实现了两路信号的滤波。AD转换器采用ADS805,这是一款12位、并行的高速ADS转换器,最高采样速率可以达到20MSPS。采用内部参考,把Vref引脚通过104电容C27接地。为了达到更好的去耦效果,CM引脚通过104电容C37接地、REFB、REFT通过104电容C38接地,供电采用+5V。数据

脚和时钟均连接至FPGA,并且时钟采用FPGA内部锁相环获得,通过屏蔽线连接到AD转换器。

[0086] 如图17所示,如果采样率是采样信号频率的整数倍,会存在采样盲区,因此系统采用双频检波的方法提高采样精度。即采用两个相近的采样率分别对一信号进行采样,取采样结果较大的峰值作为最终结果。

[0087] 频谱分析仪采用TFT显示屏显示,主要负责频谱等测量结果的显示以及人机交互。本发明显示的内容包括:频谱图,扫描的中心频率,扫描的带宽,频率分辨率以及杂散频率等。频谱图是显示屏的主要部分,频谱图的横轴是频率,纵轴是归一化的信号幅度。频谱图还有横、竖各一条测量光标,可以通过移动光标测量感兴趣的频谱线。扫描的中心频率可以通过触摸屏输入,中心频率范围是50MHz~500MHz。本实施例的频率分辨率可选10MHz、1MHz、100kHz以及100KHz一下任意分辨率,每次进行频谱分析前选择一种分辨率。默认的频率分辨率是10kHz。

[0088] 本实施例的具体实施过程为:在进行信号频谱分析之前,用户需要通过电容式触摸屏数输入频谱分析分辨率以及预置频谱分析范围,默认分辨率为10MHz,默认频谱分析范围为50-500MHz。当参数设置完毕之后,就可以点击“自动扫描”进行频谱测量。FPGA收到频谱分析的命令之后,通过锁相环和程控衰减芯片输出一定幅度、一定扫描步进的扫频信号,与待测信号进行混频,同时FPGA控制模拟开关和LTC1068设置分辨率,滤波器输出的信号通过AD转换器进行双频检波,获得信号的峰值,最后FPGA控制显示屏实现当前频谱的谱线图以及相应的频谱特征。在测量过程中,显示屏会提示“正在采样”。采样完成后,显示屏会显示“正在绘图”。绘图完成之后,显示屏提示“绘图完成”。每次测量的时间会根据扫频的宽度和测量的分辨率而不同,最大不超过2秒。频谱图绘制完成之后,用户还可以移动横轴方向光标,测量感兴趣频谱线的幅度大小,移动纵轴方向,可以测量感兴趣的谱线所在的频率位置。如果要进行下一次测量,那么重新输入中心频率,带宽,频率分辨率这些参数,点击“开始”按钮,就可进行下一次测量。

[0089] 应当理解的是,本说明书未详细阐述的部分均属于现有技术。

[0090] 虽然以上结合附图描述了本发明的具体实施方式,但是本领域普通技术人员应当理解,这些仅是举例说明,可以对这些实施方式做出多种变形或修改,而不背离本发明的原理和实质。本发明的范围仅由所附权利要求书限定。



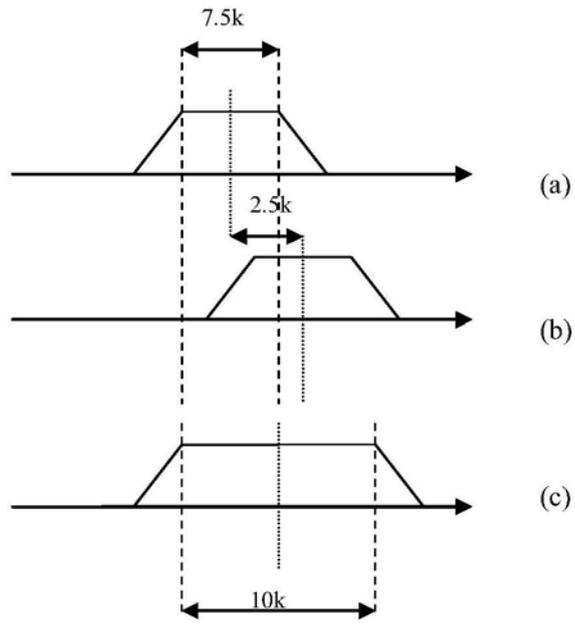


图3

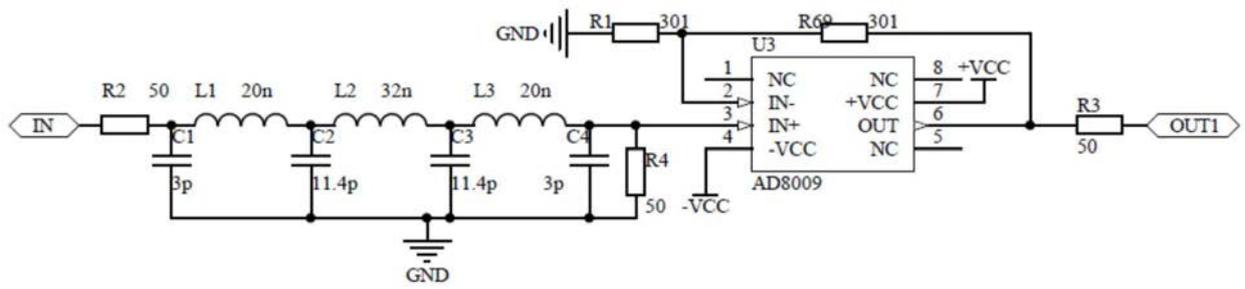


图4

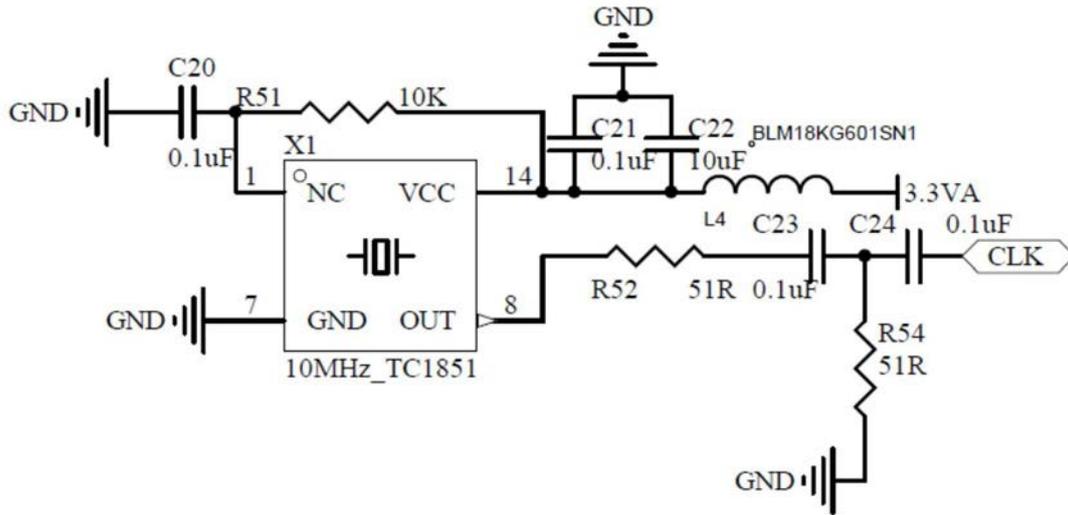


图5

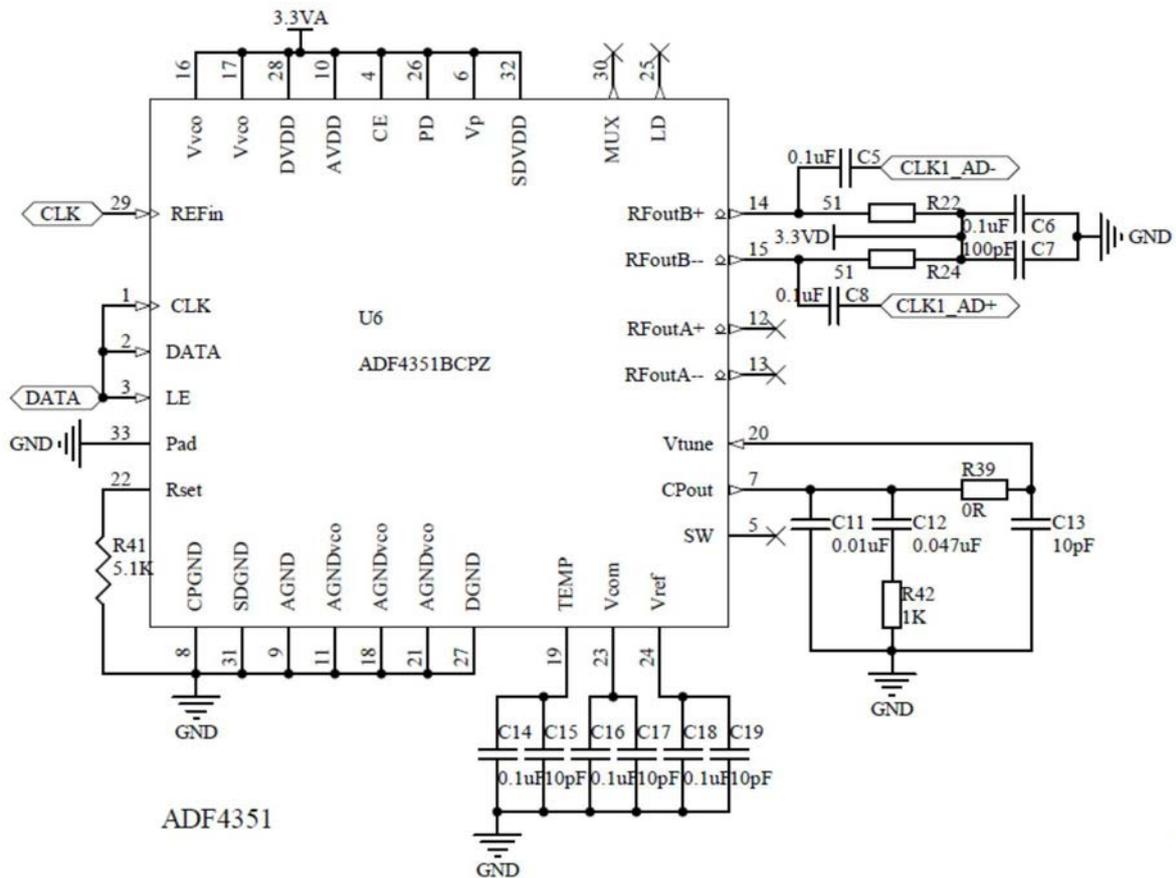


图6

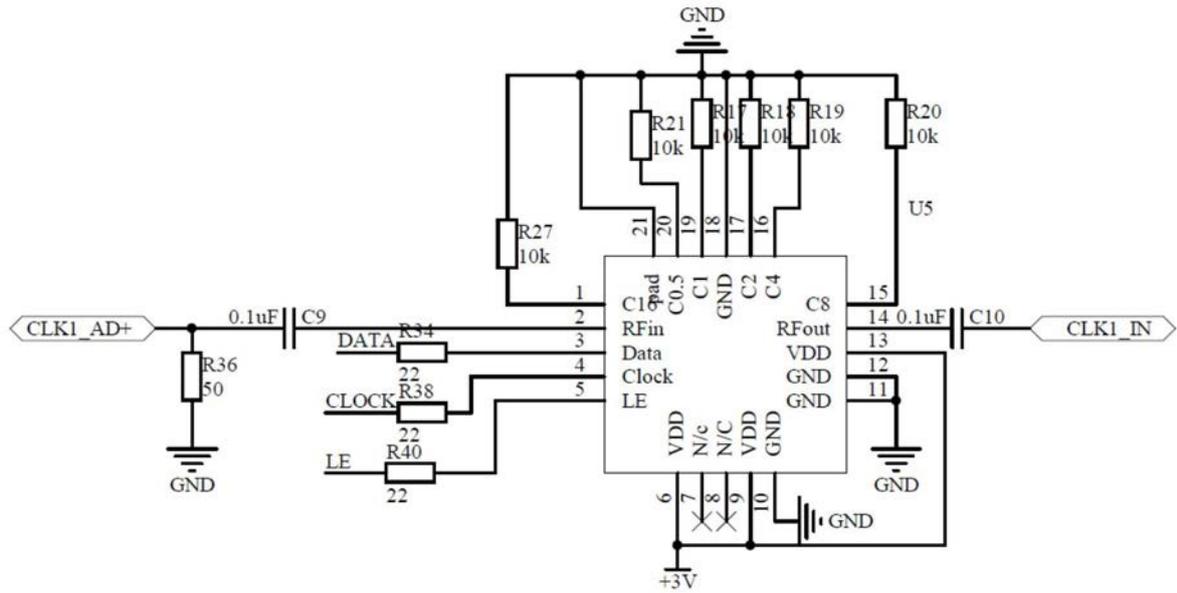


图7

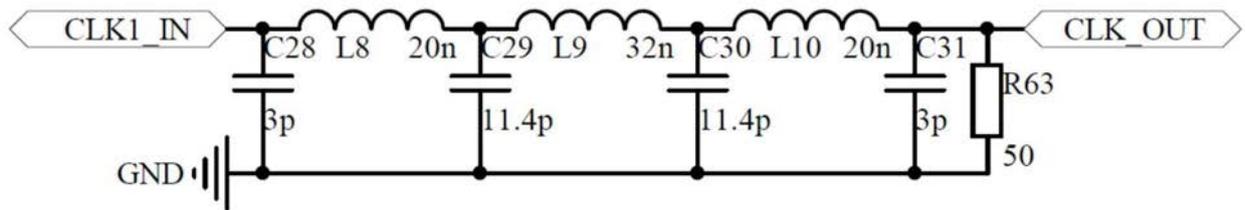


图8

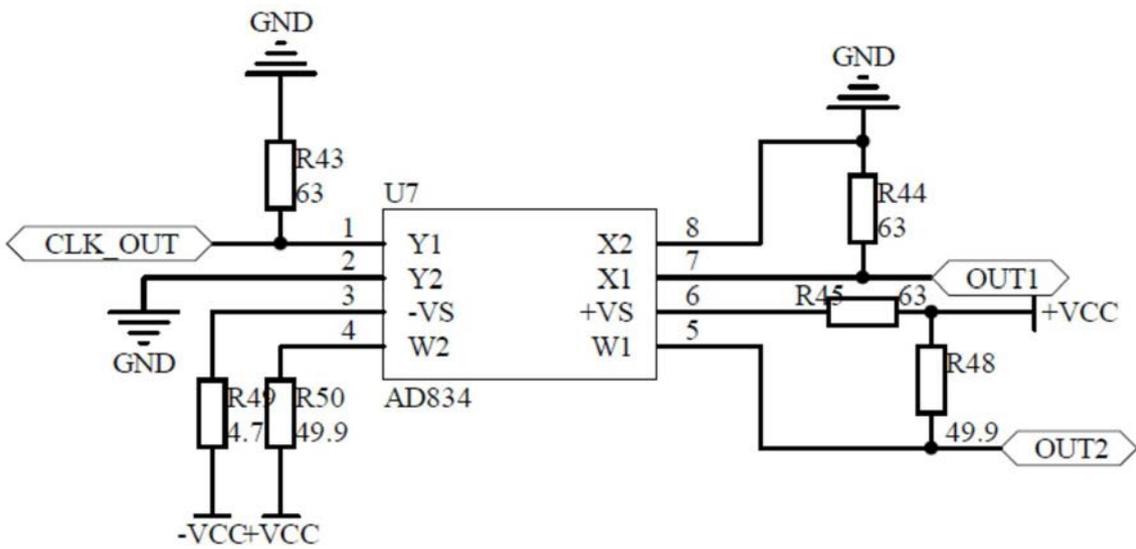


图9

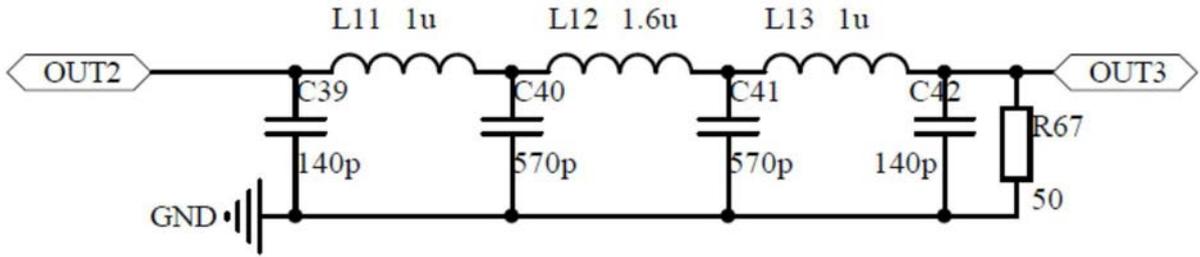


图10

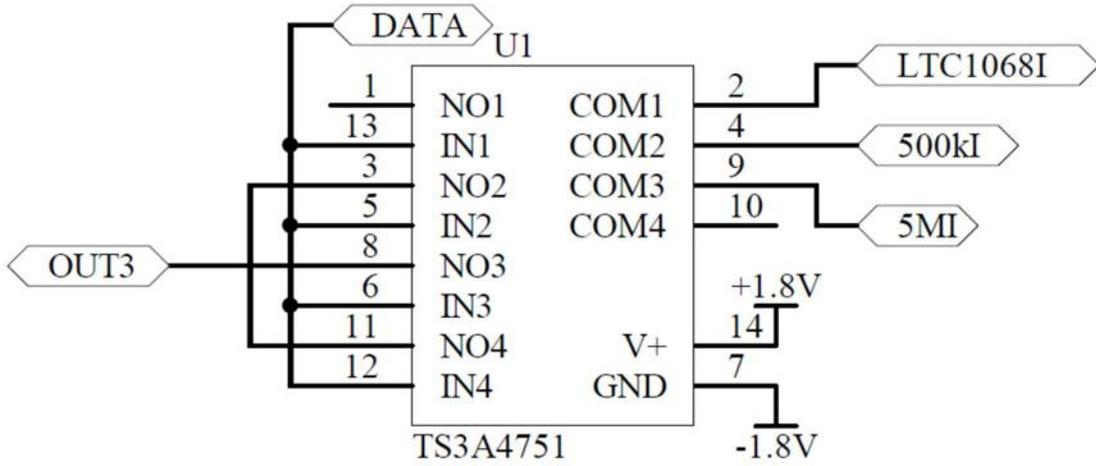


图11

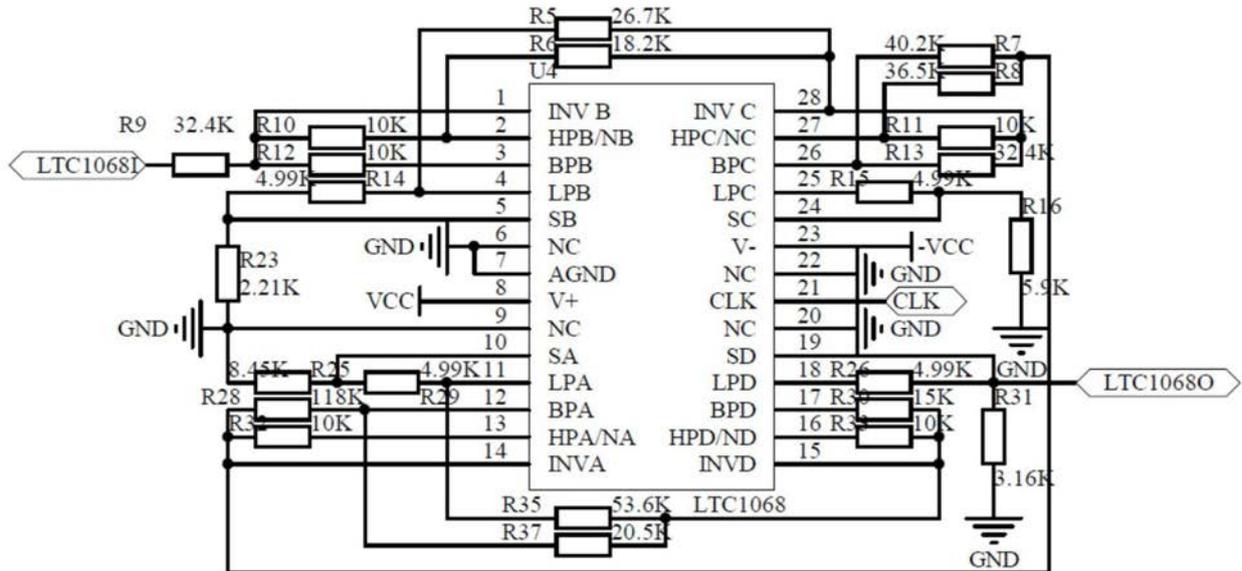


图12

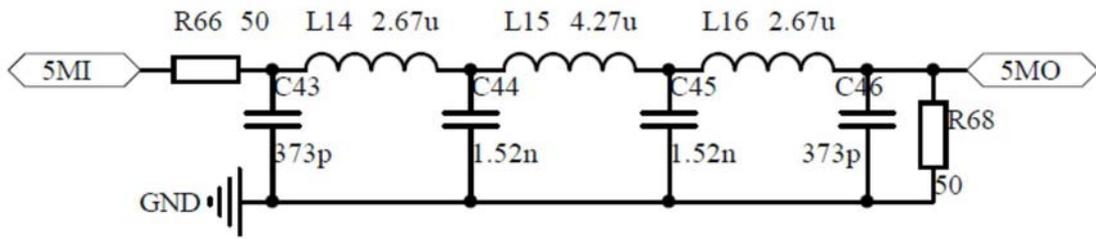


图13

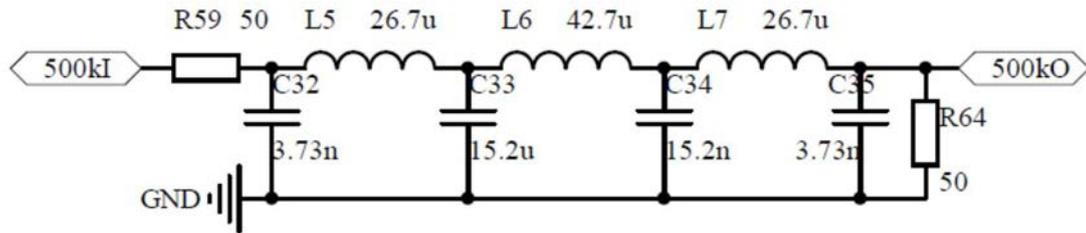


图14

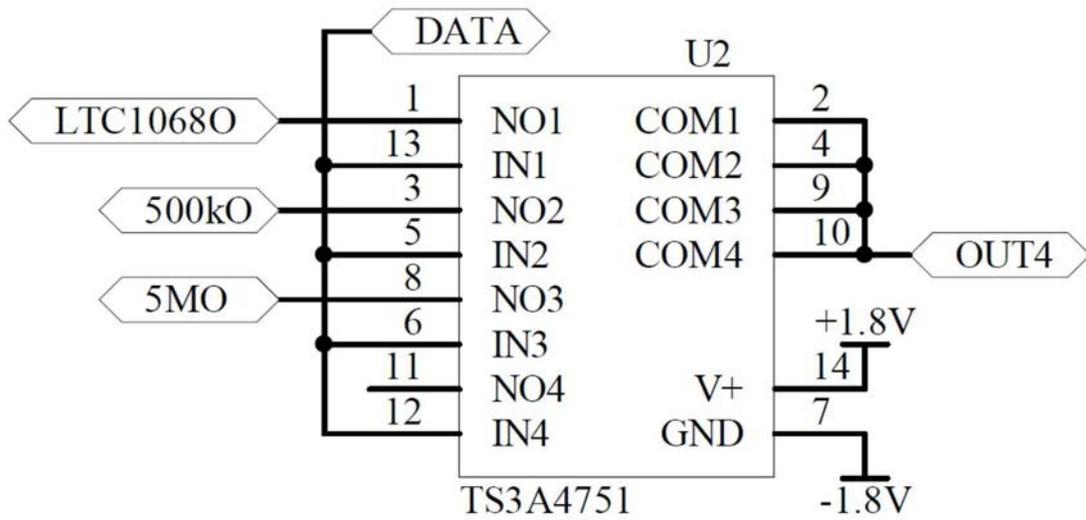


图15

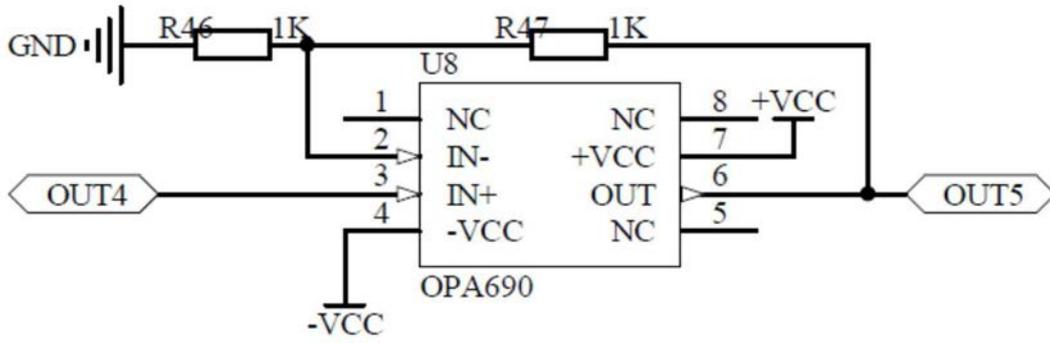


图16

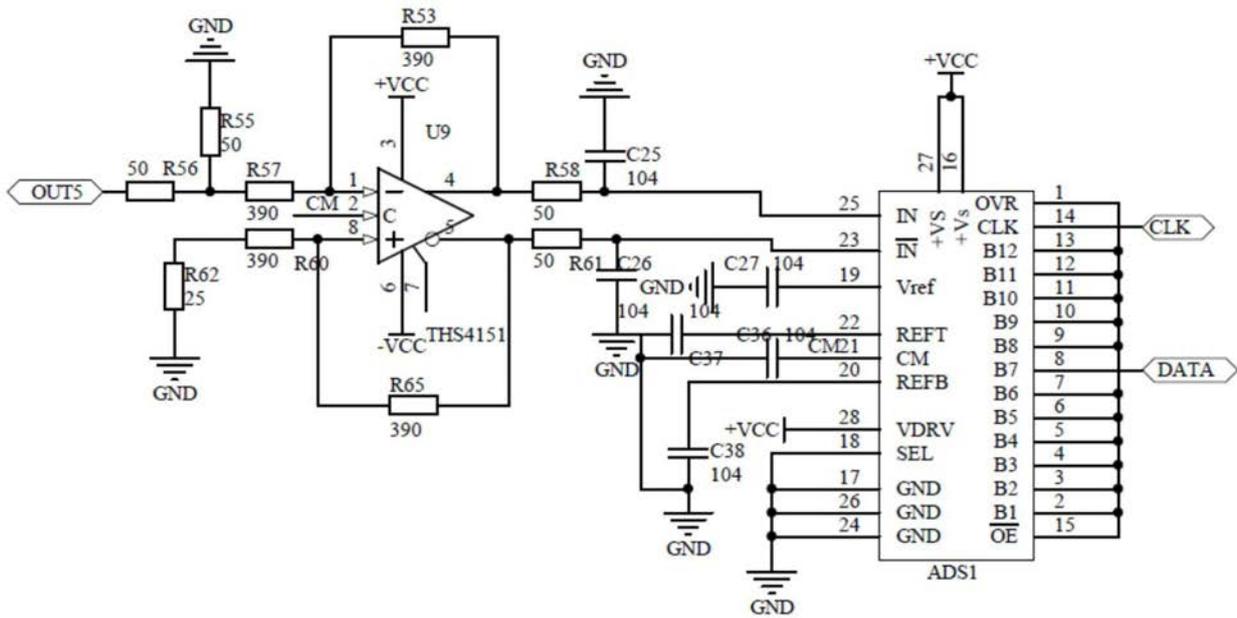


图17