



(12)发明专利

(10)授权公告号 CN 106209338 B

(45)授权公告日 2019.05.24

(21)申请号 201610483592.6

(22)申请日 2016.06.28

(65)同一申请的已公布的文献号
申请公布号 CN 106209338 A

(43)申请公布日 2016.12.07

(73)专利权人 武汉大学
地址 430072 湖北省武汉市武昌区珞珈山
武汉大学

(72)发明人 江鹏 江先阳

(74)专利代理机构 武汉科皓知识产权代理事务
所(特殊普通合伙) 42222

代理人 胡艳

(51)Int.Cl.
H04L 7/00(2006.01)

(56)对比文件

CN 203377841 U,2014.01.01,
CN 101420510 A,2009.04.29,

审查员 夏晓蕾

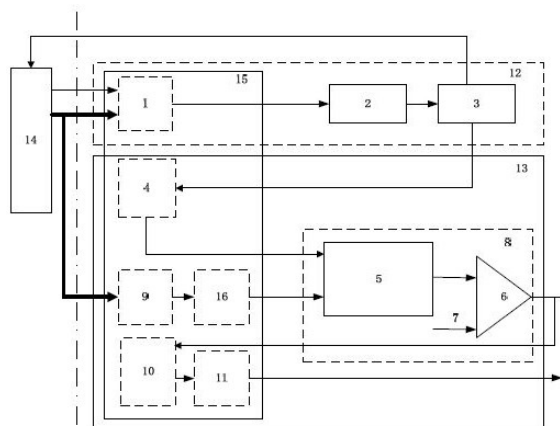
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种卫星接收机秒脉冲信号的稳频和相位
纠正装置及方法

(57)摘要

本发明公开了一种卫星接收机秒脉冲信号的稳频和相位纠正装置,包括滤波器、数字模拟转换器、恒温晶振、倍频电路、数字频率合成电路依次相连,数字频率合成电路连接比较器的一输入端,比较器门限连接比较器的另一输入端;接口转换电路、相位微调电路、数字频率合成电路依次相连;比较器的输出端、分频电路、固定整数周期相位延迟修正电路依次相连。本发明利用了卫星接收机提供的秒脉冲信号的长稳特性,通过恒温晶振的短稳特性弥补频率漂移,在此基础上调整相位差信息,获得高精度的秒脉冲信号。



1. 一种卫星接收机秒脉冲信号的稳频和相位纠正装置,其特征是,包括:

滤波器、数字模拟转换器、恒温晶振、倍频电路、数字频率合成电路、比较器、接口转换电路、相位微调电路、分频电路和固定整数周期相位延迟修正电路;

滤波器、数字模拟转换器、恒温晶振、倍频电路、数字频率合成电路、比较器依次相连,比较器门限输入比较器的另一输入端;接口转换电路、相位微调电路、数字频率合成电路依次相连;比较器的输出端、分频电路、固定整数周期相位延迟修正电路依次相连;

卫星接收机通过解算精密单点定位,解算出相位差,输入到滤波器,经滤波后该相位差通过数字模拟转换器转换成电压控制信号,电压控制信号控制恒温晶振进行稳频,稳频后信号分别输至卫星接收机和倍频电路;同时,以卫星接收机输出的秒脉冲信号作为相位差的锁定信号;

倍频电路对输入信号进行倍频,倍频信号输入数字频率合成电路,倍频信号是数字频率合成电路的参考系统时钟;卫星接收机输出的钟差编码信息依次经接口转换电路、相位微调电路后也输入数字频率合成电路;数字频率合成电路依据相位微调电路输出的相位差对参考系统时钟进行进一步相位纠正,并通过比较器输出方波时钟信号;相位微调电路采用时延方式来纠正小于360度但大于数字频率合成电路5可调范围的相位差;

方波时钟信号依次输入分频电路、固定整数周期相位延迟修正电路,固定整数周期相位延迟修正电路采用寄存器锁存和延迟的方法,对超过360度的整数周期相位差进行纠正,获得目标秒脉冲信号。

2. 如权利要求1所述的卫星接收机秒脉冲信号的稳频和相位纠正装置,其特征是:
所述的滤波器为Kalman滤波器。

3. 如权利要求1所述的卫星接收机秒脉冲信号的稳频和相位纠正装置,其特征是:
所述的滤波器、倍频电路、接口转换电路、相位微调电路、分频电路和固定整数周期相位延迟修正电路通过可重构电路集成于芯片上。

4. 如权利要求1所述的卫星接收机秒脉冲信号的稳频和相位纠正装置,其特征是:
所述的数字频率合成电路和比较器采用带比较器的频率合成器实现。

一种卫星接收机秒脉冲信号的稳频和相位纠正装置及方法

技术领域

[0001] 本发明涉及一种稳频和相位纠正方法和装置,尤其是涉及一种卫星接收机秒脉冲信号的稳频和相位纠正装置及方法。

背景技术

[0002] 目前,稳频和相位纠正是很多高精度时钟信号的需求,频率稳定和相位纠正的可靠性和精度是现有技术方法的主要局限。尤其是卫星接收信号秒脉冲存在不确定的幅度随机漂移,而相位差量和秒脉冲信号不存在明确的映射关系,所以现有相关稳频和相位纠正技术均存在稳定度不高,相位纠正不精确的缺点。

发明内容

[0003] 针对现有技术存在的不足,本发明提供了一种可提高可靠性和精度的卫星接收机秒脉冲信号的稳频和相位纠正装置及方法。

[0004] 为解决上述技术问题,本发明采用如下技术方案:

[0005] 一、一种卫星接收机秒脉冲信号的稳频和相位纠正装置,包括:

[0006] 滤波器、数字模拟转换器、恒温晶振、倍频电路、数字频率合成电路、比较器、接口转换电路、相位微调电路、分频电路和固定整数周期相位延迟修正电路;

[0007] 滤波器、数字模拟转换器、恒温晶振、倍频电路、数字频率合成电路、比较器依次相连,比较器门限输入比较器的另一输入端;接口转换电路、相位微调电路、数字频率合成电路依次相连;比较器的输出端、分频电路、固定整数周期相位延迟修正电路依次相连。

[0008] 上述滤波器为Kalman滤波器。

[0009] 上述滤波器、倍频电路、接口转换电路、相位微调电路、分频电路和固定整数周期相位延迟修正电路通过可重构电路集成于芯片上。

[0010] 上述数字频率合成电路和比较器采用带比较器的频率合成器实现。

[0011] 二、一种卫星接收机秒脉冲信号的稳频和相位纠正方法,采用上述实现,包括:

[0012] 卫星接收机通过解算精密单点定位,解算出相位差,输入到滤波器,经滤波后该相位差通过数字模拟转换器转换成电压控制信号,电压控制信号控制恒温晶振进行稳频,稳频后信号分别输至卫星接收机和倍频电路;同时,以卫星接收机输出的秒脉冲信号作为相位差的锁定信号;

[0013] 倍频电路对输入信号进行倍频,倍频信号输入数字频率合成电路,倍频信号是数字频率合成电路的参考系统时钟;卫星接收机输出的钟差编码信息依次经接口转换电路、相位微调电路后也输入数字频率合成电路;数字频率合成电路依据相位微调电路输出的相位差对参考系统时钟进行进一步相位纠正,并通过比较器输出方波时钟信号;相位微调电路采用时延方式来纠正小于360度但大于数字频率合成电路5可调范围的相位差;

[0014] 方波时钟信号依次输入分频电路、固定整数周期相位延迟修正电路,固定整数周期相位延迟修正电路采用寄存器锁存和延迟的方法,对超过360度的整数周期相位差进行

纠正,获得目标秒脉冲信号。

[0015] 和现有技术相比,本发明具有如下优点和有益效果:

[0016] (1)将频率的稳定性分为短稳和长稳特性,利用外在恒温晶振补偿短期频率漂移,引入了秒脉冲不具有的短稳特性,从而提高频率纠正稳定性。

[0017] (2)将相位纠正和频率稳定过程分开,降低了相位纠正的硬件开销,提高了相位纠正的可靠性和精度。

[0018] (3)引入额外的固有相位延迟修正,消除和装置直接相关的相位差,进一步提高了相位纠正的精度。

附图说明

[0019] 图1是本发明的具体结构示意图,图中,1-滤波器,2-数字模拟转换器,3-10MHz恒温晶振,4-倍频电路,5-数字频率合成电路,6-比较器,7-比较器门限,8-带比较器的频率合成器,9-接口转换电路,10-分频电路,11-固定整数周期相位延迟修正电,12-第一功能模块,13-第二功能模块,14-卫星接收机,15-芯片,16-相位微调电路。

具体实施方式

[0020] 下面通过实施例,并结合图1,对本发明技术方案作进一步具体说明。

实施例

[0021] 本实施例装置包括滤波器1,数字模拟转换器2,10MHz恒温晶振3、倍频电路4、数字频率合成电路5、比较器6、接口转换电路9、相位微调电路16、分频电路10和固定整数周期相位延迟修正电路11。其中,滤波器1、数字模拟转换器2、10MHz恒温晶振3、倍频电路4、数字频率合成电路5、比较器6依次相连;比较器门限7输入比较器6的另一输入端,比较器门限7通过外部通用接口设定或默认为0值;接口转换电路9、相位微调电路16、数字频率合成电路5依次相连;比较器6的输出端、分频电路10、固定整数周期相位延迟修正电路11依次相连。具体实施时,滤波器1、倍频电路4、接口转换电路9、分频电路10、固定整数周期相位延迟修正电路11和相位微调电路16通过可重构电路集成于芯片15上,芯片15采用可重构逻辑阵列FPGA,例如XC3S200a。数字频率合成电路5、和比较器6可选用带比较器的频率合成器8实现,例如AD9954。

[0022] 本发明装置中,卫星接收机14分别给滤波器1和接口转换电路9提供秒脉冲信号源和串口钟差量。滤波器1采用Kalman滤波器,数字模拟转换器2用来将滤波器1输出的数字信号转换为模拟信号并输入10MHz恒温晶振3,倍频电路4可采用FPGA内部专用时钟单元。接口转换电路9依卫星接收机14输出钟差信号的串口协议,锁存钟差数据并转换成并行信号输出到相差微调电路16。分频电路10采用FPGA中的专用时钟逻辑或者定制逻辑实现。

[0023] 采用上述卫星接收机秒脉冲信号的稳频和相位纠正装置的方法,包括部分1、部分2和部分3,其中,部分1通过第一功能模块12实现,部分2和3通过第二功能模块13实现。

[0024] 部分1,由滤波器1、数字模拟转换器2和10MHz恒温晶振3实现。具体而言,卫星接收机14通过解算精密单点定位,解算出相位差,并输入到滤波器1,经滤波后该相位差通过数字模拟转换器2转换成电压控制信号,电压控制信号控制10MHz恒温晶振3进行稳频,并输出

频率稳定的10MHz基带时钟信号。10MHz恒温晶振3一方面将10MHz基带时钟信号输出到卫星接收机14, 另外还输出给部分2中的倍频电路4。同时, 卫星接收机14输出的秒脉冲信号(PPS)作为该相位差的锁定信号, 保证调节时间的一致性, 进一步提高稳频的精度。

[0025] 部分1利用了恒温晶振的频率短期稳定特性, 采用压控模式, 将长期而言稳定的秒脉冲信号的频率进行稳定度控制, 这一控制过程中, 同时引入相位差的时间信息, 使稳定度得到控制。

[0026] 部分2, 由倍频电路4、数字频率合成电路5、比较器6、接口转换电路9和相位微调电路16实现。部分2对部分1输入的信号进行倍频得倍频信号, 倍频信号输入数字频率合成电路5, 该倍频信号是数字频率合成电路5的参考系统时钟, 有待于使用钟差来纠正相位。卫星接收机14输出的钟差编码信息依次经接口转换电路9、相位微调电路16后也输入数字频率合成电路5, 相位微调电路16采用时延方式, 采用FPGA内部寄存器或逻辑单元的时延来纠正小于360度但大于数字频率合成电路5可调范围的相位差, 随后将纠正后相位差输入数字频率合成电路5。数字频率合成电路5进一步依据输入的小于360度的相位差对参考系统时钟进行相位纠正后, 通过比较器6形成方波时钟信号输出至部分3。

[0027] 部分2中, 一方面通过相位微调电路, 补偿因频率合成后频率信号在方波化过程中产生的相位延迟; 另一方面, 采用频率合成方式, 将串口输入的相位差量引入, 纠正秒脉冲信号的相位。

[0028] 部分3, 由于分频电路10和固定整数周期相位延迟修正电路11实现。部分2中只纠正小于360度的相位差, 对于PPS信号超过360度的相位差, 采用固定整数周期相位延迟修正电路11对其中的整数周期部分进行纠正, 采用寄存器锁存和延迟的方法实现。分频电路10对比较器6输出信号进行分频获得1Hz信号, 固定整数周期相位延迟修正电路11对该1Hz信号进行与处理过程有关的固定整数周期相位延迟修正, 获得目标秒脉冲信号。

[0029] 部分3中, 采用固定整数周期相位延迟修正电路, 将装置引入的固有整数周期相位延迟消除, 从根本上解决相位纠正问题。

[0030] 本文所描述的具体实施例仅仅是对本发明精神作举例说明。本发明所属技术领域的技术人员可以对所描述的具体实施例做各种各样的修改或补充或采用类似的方式替代, 但并不会偏离本发明的精神或者超越所附权利要求书所定义的范围。

[0031] 尽管本文较多地使用了滤波器1, 数字模拟转换器2, 10MHz恒温晶振3、倍频电路4、数字频率合成电路5、比较器6、比较器门限7、接口转换电路9、分频电路10和固定相位延迟修正电路11、可重构电路、频率合成器等术语, 但并不排除使用其它术语的可能性。使用这些术语仅仅是为了更方便地描述和解释本发明的本质; 把它们解释成任何一种附加的限制都是与本发明精神相违背的。

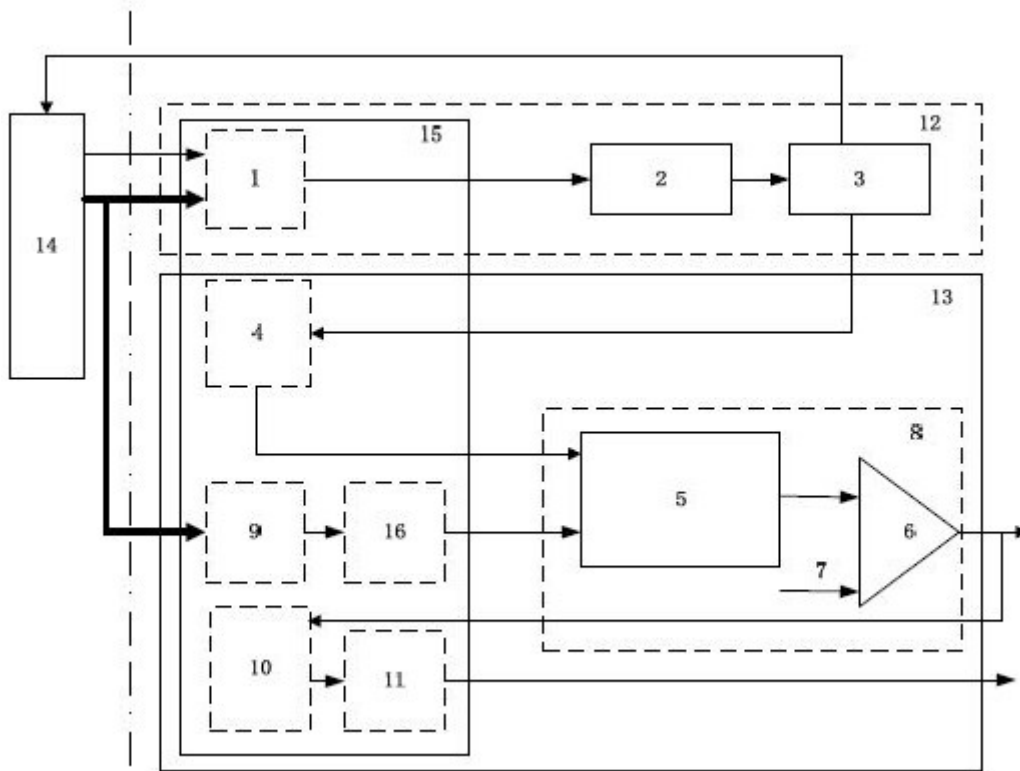


图1